

1/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009749585 **Image available**
WPI Acc No: 1994-029436/ 199404
XRAM Acc No: C94-013483
XRPX Acc No: N94-023044

Mfg. flip chip IC module - by pressing wafer IC upon flat faces of solder bump electrodes formed on tester substrate to evaluate electric performance

Patent Assignee: NEC CORP (NIDE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5335311	A	19931217	JP 92141201	A	19920602	199404 B

Priority Applications (No Type Date): JP 92141201 A 19920602

Patent Details:

Patent No	Kind	Lang	Pg	Main IPC	Filing Notes
JP 5335311	A		5	H01L-021/321	

Title Terms: MANUFACTURE; FLIP; CHIP; IC; MODULE; PRESS; WAFER; IC; FLAT; FACE; SOLDER; BUMP; ELECTRODE; FORMING; TEST; SUBSTRATE; EVALUATE; ELECTRIC; PERFORMANCE

Index Terms/Additional Words: INTEGRATED; CIRCUIT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/321

File Segment: CPI; EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

04343611 **Image available**
FLIP CHIP SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 05-335311 [JP 5335311 A]
PUBLISHED: December 17, 1993 (19931217)
INVENTOR(s): YAMASHITA TSUTOMU
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 04-141201 [JP 92141201]
FILED: June 02, 1992 (19920602)
INTL CLASS: [5] H01L-021/321
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: E, Section No. 1525, Vol. 18, No. 158, Pg. 111, March 16, 1994 (19940316)

ABSTRACT

PURPOSE: To improve contact performance with an inspection substrate by arranging the height of ends of solder bump to evaluate electric characteristics in the condition of a chip.

CONSTITUTION: An integrated circuit (IC) 1 is mounted on a glass board 6 whose flat side to contact with edges of a solder bump 2 of the IC is finished under plus or minus .mu.m. A dead-weight 7 is arranged on the rear of the IC 1. In such condition, heat treatment is conducted in a flow furnace, thereby the solder bump 2 can be formed as a solder bump 21 having flat side at the edges. It is also possible for the IC as a single unit to evaluate electric characteristics by contacting electrically with an inspection substrate 3 in the pressed condition.

PATENT ABSTRACTS OF JAPAN

US06-NGK-96

(11)Publication number : 05-335311
 (43)Date of publication of application : 17.12.1993

(51)Int.Cl. H01L 21/321

(21)Application number : 04-141201

(71)Applicant : NEC CORP

(22)Date of filing : 02.06.1992

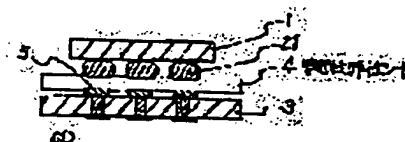
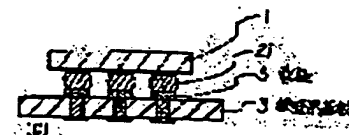
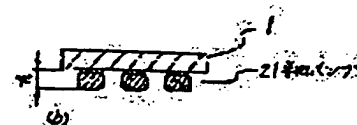
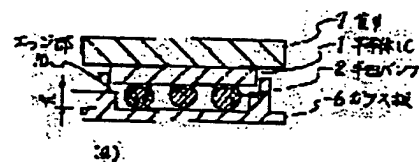
(72)Inventor : YAMASHITA TSUTOMU

(54) FLIP CHIP SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve contact performance with an inspection substrate by arranging the height of ends of solder bump to evaluate electric characteristics in the condition of a chip.

CONSTITUTION: An integrated circuit (IC) 1 is mounted on a glass board 6 whose flat side to contact with edges of a solder bump 2 of the IC is finished under $\pm\mu\text{m}$. A dead-weight 7 is arranged on the rear of the IC 1. In such condition, heat treatment is conducted in a flow furnace, thereby the solder bump 2 can be formed as a solder bump 21 having flat side at the edges. It is also possible for the IC as a single unit to evaluate electric characteristics by contacting electrically with an inspection substrate 3 in the pressed condition.



LEGAL STATUS

[Date of request for examination] 28.06.1996
 [Date of sending the examiner's decision of rejection] 12.01.1999
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-335311

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl.
H01L 21/321

識別記号

F I

9168-4M

H01L 21/92

C

9168-4M

F

審査請求 未請求 請求項の数 4 (全5頁)

(21)出願番号 特願平4-141201

(22)出願日 平成4年(1992)6月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山下 力

東京都港区芝五丁目7番1号日本電気株式会社内

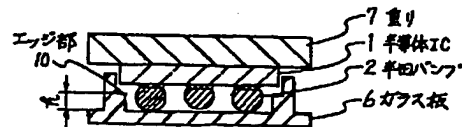
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 フリップチップ半導体装置及びその製造方法

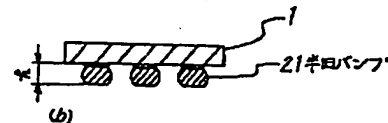
(57)【要約】

【目的】 フリップチップ方式の半導体装置において、チップ状態で電気特性評価が行えるように、半田バンプの先端部の高さを揃えることによって、検査用基板との接触性の向上を図る。

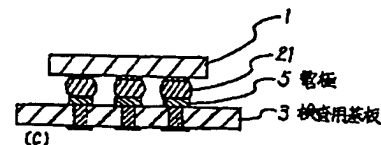
【構成】 IC1の半田バンプ2の先端部と接触する面の平面度が±1μm以下に仕上げられたガラス板6にIC1を載置し、このIC1の裏面上に重り7を配置する。この状態でリフロー炉で熱処理を行なうことで半田バンプ2は先端部に平坦面を有する半田バンプ21に形成することができる。またこのIC1は検査用基板3に加圧した状態で電氣的接触をさせることによりIC単体のままですべての電氣的特性評価を行なうことが可能となる。



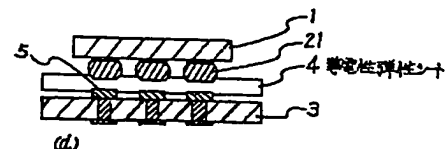
(a)



(b)



(c)



(d)

【特許請求の範囲】

【請求項1】 フリップチップ半導体装置に設けられた複数個の半田バンプの先端部にそれぞれ高さを揃えて平坦面が形成されたことを特徴とするフリップチップ半導体装置。

【請求項2】 フリップチップ半導体装置に設けられた複数個の半田バンプの先端部に平面板を押し当て、リフローを行なうことにより半田バンプの先端部に平坦面を形成することを特徴とするフリップチップ半導体装置の製造方法。

【請求項3】 検査用基板に設けられた複数個の電極パターンと複数個の半田バンプの先端部とを直接あるいは導電性弾性シートを介して同時に加圧接触させ、電気的評価を行なうことを特徴とするフリップチップ半導体装置の製造方法。

【請求項4】 半田バンプの先端部の平坦面に直接検査用プローブを接触させて電気的評価を行なうことを特徴とするフリップチップ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフリップチップ半導体装置及びその製造方法に関し、特に半田バンプの形状及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体IC（以下IC）の製造技術における微小化と、これに伴う高集積化、高機能化、多端子化という傾向により、これらのICの接続端子と回路基板の接続端子との接続についても微小化、多端子化が要求されている。

【0003】 ICと回路基板との接続方法にはワイヤーボンド方式、TAB方式、フリップチップ方式などが知られているが、多端子を有するICの高密度実装方式としてはフリップチップ方式が適している。これは、フリップチップ方式ではICの表面上の全面に接続端子を設けることができ、ICの表面上の周辺部に接続端子を設けるワイヤーボンド方式やTAB方式に比べ多端子化が容易であるからである。またこのフリップチップ方式は、接続に有する配線長が短いため電気的特性も優れている。

【0004】 これらの理由により10数年前から実装方式のひとつとして、特に大型コンピュータの実装方式としてフリップチップ方式が検討あるいは実用化されており、最近では液晶表示電子部品への実装方式としても検討されている。従来、フリップチップ方式はICの表面にパターン形成されたパッド部に、例えば半田バンプをめっき法や半田ボール供給法で形成する方式であったが、例えば半田バンプにかわり金バンプや銅バンプあるいはワイヤーボンド方式による金ボールバンプ化や半田バンプの形状については、球状から鼓状への変更、またはポリイミドフィルムを介した多段バンプ化等各種の研

究、実験が行なわれている。

【0005】 また従来から、フリップチップ方式の半導体素子はチップに切断する前のウエハー状態でDC特性等の電気的評価を行なっているが、AC特性等の電気的評価は、チップが搭載されるパッケージあるいは回路基板にフリップチップボンディングを行い最終製品の形態に仕上げてから行われている。従って、フリップチップボンディングを行った後に特性評価を行って、もしチップに異状があった場合、このチップの取り外し（リペア）は非常に困難であり、またチップを搭載する基板の再生も非常に困難である。

【0006】 また、一般にICは集積度が大きくなると若干の欠陥品が混入することは避けることができないため、高価なICにおいてはまだ付加価値の低い状態、つまり可能なかぎりパッケージされる前の状態、またフリップチップICにおいては永久接続に近いフリップチップ接続される前の状態で特性評価できることが望まれる。

【0007】 このように、従来フリップチップの電気的評価はチップが搭載されるパッケージあるいは回路基板にフリップチップボンディングを行い、最も付加価値が高くなった製品の状態で行われるので、チップ異状があったときには製造工程における損失が大きく、製品の原価に大きな影響を及ぼすという問題があった。

【0008】

【発明が解決しようとする課題】 フリップチップ方式では、以上述べたように従来は、フリップチップボンディングを実施したあとで最終的特性評価を行っていた。従ってチップに異状があったとき、製造工程における損失が大きいう問題があった。

【0009】 これらの原因は、フリップチップボンディングを実施する前にチップ状態で最終的な電気的特性評価を十分に実施することが困難であったからである。つまり、例えば図3の断面図に示すようにウエハー状態でめっき法等により半田バンプ2を形成するプロセスでは、ウエハー内あるいはひとつのIC1内においても半田バンプ2の高さにばらつきが生じてしまい、チップ状態では検査用基板3のパッドとの電気的導通が加圧のみでは十分に得られないという問題点があった。

【0010】 また他の方法として、図4の断面図に示すようにIC1と検査用基板3の間に、例えば導電性弾性シート4等を介在させ、IC1の半田バンプ2と検査用基板3のパッドとを加圧のみにより電気的導通を得る方法がある。この方式においては、ICの半田バンプ同志の僅かな高さの差を導電性弾性シートにより吸収できるので、半田バンプと検査用基板のパッドとの接触が完全に得られる。

【0011】 しかしながら導電性弾性シートの導通抵抗は、例えば数Ωから数百Ω程度と大きく、ICがパワーIC等の場合、検査時の大電流により導電性弾性シート

10

20

30

40

50

が発熱し、その物性値が劣化してしまうという点や、半田バンプの高さの差が有るために各半田バンプと導電性弾性シートとの接触抵抗に差が生じることや、特に多端子のICの場合、完全な接触を得るには大きな圧力、例えば300ピンのICでは4.5kg～6kg程の圧力が必要となり、IC及び検査用基板が破損する恐れが有る等の問題点があった。

【0012】これらの問題点があったため、図5の断面図に示すように検査用基板3又は回路基板にICの半田バンプを溶融させてフリップチップボンディングを実施し、最終的な電気的特性評価を行っていた。

【0013】

【課題を解決するための手段】本発明のフリップチップ半導体装置及びその製造方法は、ICの表面上に設けられた複数の半田バンプの先端部に平坦面を形成したフリップチップ半導体装置で、その製造方法は半田バンプの先端部に平面板を配置し、その状態でリフローを行なうことにより半田バンプの先端部に平坦面を形成する方法である。

【0014】またこのICの半田バンプの先端部に直接あるいは導電性弾性シートを介して複数の電極パターンが設けられた検査用基板に、ICを加圧した状態で電気的接触させて最終的な電気的特性評価を行なうので、従来のフリップチップ方式の問題点を解決することができる。

【0015】

【実施例】次に本発明について図面を参照して説明する。図1(a)～(b)は本発明の第1の実施例の製造工程を示す断面図である。

【0016】同図(a)において1は半導体IC、2は半田バンプ、6はガラス板、7は重りである。半田バンプ2はウエハー状態の時に、例えば次に記述するようなめっき法により形成される。IC1上のA1等で形成された電極上に、スパッタ法等により例えばCr、Pd、Cuの順に薄膜を形成し、レジスト塗布、露光、現像等の処理により電極部に開口をもつレジストを配置し、この開口部に電解めっき法により半田バンプを形成する。次にレジスト剥離、半田バンプ部以外のCr、Pd、Cuの剥離を行ない、最後に半田バンプのウエットバック処置を行なうことにより半球状の半田バンプ2が形成される。

【0017】この半田バンプ形成プロセスで製作された半田バンプは、ひとつのIC1内においても半田バンプ2の高さは例えば平均100μmに対して±10～30μmのばらつきが生じている。そこでウエハーをチップに切断後、チップサイズに対応したICの半田バンプ2の先端部に接触する面の平面度が±1μm以下に仕上げられた例えば石英ガラス板6にIC1を挿入し、IC1の裏面上に重り7を配置する。この状態で窒素等の不活性ガスを使用したリフロー炉で、例えばMAX230

℃、また190℃から230℃までの時間は2～4分という熱処理を行なうことにより、半田バンプ2は図1(b)に示す形状に形成される。

【0018】この半田バンプ21の形状は、ガラス板6のエッジ部10の高さ寸法hによって任意に形成することができ、例えば半田バンプのピッチが300μmで半田バンプの高さhを100μmに設定すれば、半田バンプ先端部の平坦面は直径50～60μmの大きさで得られ、その高さのばらつきは±1μm以下で形成される。このリフロー炉での処理時には、必要に応じてフラックスを半田バンプ部に塗布してもよい。本実施例によれば従来の製法で作らるたフリップチップ用半田バンプ部の高さばらつきを容易に極端に小さくすることが可能となる。

【0019】この製法で作られたフリップチップIC1は、図1(c)に示すように検査用基板3上に形成された電極5に半田バンプ21を位置合わせし、加圧した状態にすることによって電気的導通が十分に得られるようになる。検査用基板3上の電極5も高さのばらつきは小さい方がよいので、検査用基板3の材質が例えばアルミナセラミックの場合、電極5の形成前に研磨処理を行ない、その後でスクリーン印刷法、蒸着法、めっき法等により電極5を形成し、電極5の高さばらつきを±1μm以下に形成する必要があるが、これは従来技術で実現できるものである。

【0020】ここでIC1の半田バンプ21の高さを100μm、平坦面の直径を60μmとしたとき、ひとつの半田バンプに対して5gを印加すると半田バンプは約1μm変形するので、例えば300ピンのICでは1.5kg～3kg程度の低荷重で検査用基板とICとの電気導通が得られる。またパワーIC等以外の大電流を検査時に必要としないICでは、図1(d)に示すような導電性弾性シート4をICと検査用基板3との間に介在させた形態でもよい。

【0021】以上説明したような半田バンプ形状を有するICを製造し、検査用基板と組合せることにより、最終的なフリップチップボンディングを実施する前に、IC単体のままで最終的な電気的特性評価を実施できるようになる。従来、フリップチップICはフリップチップボンディングを行ってから電気的評価を行っていたために欠陥品が生じたときにはリペア等が困難であり生産性を非常に悪くしていたが、本発明のフリップチップIC及び製造方法によりこの問題は解決し、フリップチップIC製造効率の向上や信頼性向上に大きな効果がある。

【0022】図2(a)～(f)は本発明の第2の実施例の製造工程を示す断面図である。同図において、1は半導体IC、2、23は半田バンプ、61はガラス板、71は重り、8はレジスト、9は半導体IC上の電極、32は真空吸着口、31は検査用治具、10は検査用ブローバーであり、半田バンプ22、23の形成法を

10

20

30

40

50

図 (a) ~ (e) で示している。半田バンプ22はウェハー状態でめっき法等により形成されるが、図 (a) においては半田バンプ形成の前段階を示している。電極9の周囲には露光〜現象等の処理により開口部をもつレジスト8が配置され、次に図 (b) のようにめっき法で半田バンプ22が形成される。この段階ではひとつのICの中でも半田バンプの高さはばらつきを生じる。

【0023】図 (c) ではレジスト剥離後の状態を示し、次に図 (d) のようにチップ状態に切断したICを、このチップサイズに対応したICの半田バンプ22の先端部に接触する面の平面度が $\pm 1 \mu\text{m}$ 以下に仕上げられた例えば石英ガラス板61に挿入し、IC1の裏面上に重り71を配置する。この状態で不活性ガスを使用したリフロー炉で熱処理を行なうことにより、半田バンプ22は図 (e) に示すような半田バンプ23の状態に形成される。

【0024】この製法は、レジスト剥離後の半田バンプのウェットバック処理と半田バンプの平坦面形成処理とを同時に行なうものである。本実施例によれば、従来の製法で作られたフリップチップ用半田バンプ部の高さばらつきを容易にかつ工数を増加させることなく小さくすることが可能となる。

【0025】この製法で作られたフリップチップIC1は、本発明の第1の実施例の中の図1 (c), (d) に示す検査用基板3を用いて、最終的なフリップチップボンディングを実施する前にIC単体のまますべての電気的特性評価を実施できるようになる。また検査用基板を使用しない検査法も可能である。例えば図2 (f) に示すような真空吸着口32を有する検査用治具31にIC1を吸着し、検査用プローバー10を半田バンプ23に直接接触させ電気的特性評価を行なうものである。

【0026】これは半田バンプの高さを $100 \mu\text{m}$ としたとき、半田バンプ表面の平坦面は直径 $50 \sim 60 \mu\text{m}$ の面積が得られる半田バンプ形状の形成法を採用しているからであり、これらの検査法は半田バンプの形状の大小、半田バンプの数、ICのチップサイズ、大電流用I

Cかどうか等によって使い分けが可能となる。

【0027】

【発明の効果】以上説明したように本発明は、ICの表面上に設けられた複数の半田バンプの先端部に平坦面を形成したフリップチップ半導体装置であり、またその製造方法は半田バンプの先端部に平面板を配置して加圧し、その状態でリフローを行なうことにより半田バンプの先端部に平坦面を形成する方法である。

【0028】また、2の半田バンプに対応する複数の電極パターンが設けられた検査用基板にICを加圧した状態で電気的接触させることによって、最終的な電気的特性評価をIC単体のまま行なえるので、従来の最終的なフリップチップボンディングを行なってから電気的特性評価を行っていたために生じる生産性の悪化を改善し、かつ信頼性の向上に大きな効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造方法を示す工程図で、同図 (a) ~ (d) はそれぞれ断面図である。

【図2】本発明の第2の実施例の製造方法を示す工程図で、同図 (a) ~ (f) はそれぞれ断面図である。

【図3】従来技術を示す断面図である。

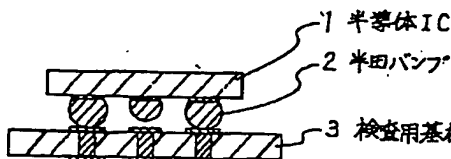
【図4】従来技術の他の例を示す断面図である。

【図5】従来の製造方法を説明する断面図である。

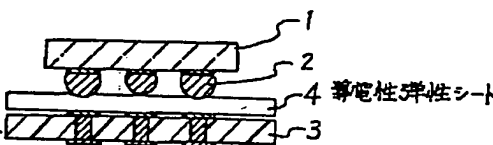
【符号の説明】

- 1 半導体IC
- 2, 21, 22, 23 半田バンプ
- 3 検査用基板
- 4 導電性弾性シート
- 5 電極
- 6, 61 ガラス板
- 7, 71 重り
- 8 レジスト
- 9 電極
- 10 検査用プローバー
- 31 検査用治具
- 32 真空吸着口

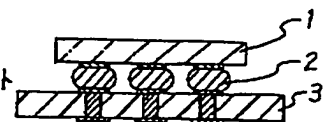
【図3】



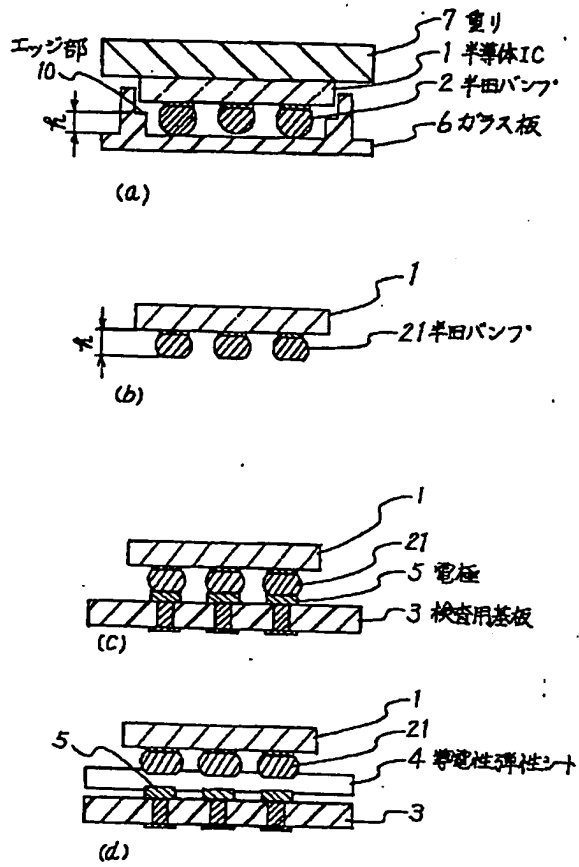
【図4】



【図5】



【図1】



【図2】

